発信人 日本国特許庁 (国際調査機関)

出願人代理人	7			
西教 圭一郎 あて名				
〒 541-0051 大阪府大阪市中央区備後町3丁目2番6号 敷島ビル	PCT 国際調査機関の見解書 (法施行規則第40条の2) [PCT規則43の2.1]			
	^{発送日} (日.月.年) 25. 1. 2005			
出願人又は代理人 の書類記号 62125CT00525	今後の手続きについては、下記2を参照すること。			
国際出顧番号 PCT/JP2004/013960 (日.月.年) 24	優先日 (日.月.年) 24.09.2003			
国際特許分類 (IPC) Int. Cl' G11C	29/00			
出願人 (氏名又は名称)				
シャープ株式会社				
第VI欄 ある種の引用文献 第VI欄 国際出願の不備 第VI欄 国際出願の不備 第VI欄 国際出願に対する意見 2. 今後の手続き 国際予備審査の請求がされた場合は、出願人がこの国際際 際予備審査機関がPCT規則66.1の2(b)の規定に基づいない旨を国際事務局に通知していた場合を除いて、この見解審が上記のように国際予備審査機関の見解審とある3月又は優先日から22月のうちいずれか遅く満了するな場合は補正書とともに、答弁書を提出することができる	る新規性、進歩性又は産業上の利用可能性についての見解、 関査機関とは異なる国際予備審査機関を選択し、かつ、その国 (国際調査機関の見解審を国際予備審査機関の見解審とみなさ 見解審は国際予備審査機関の最初の見解審とみなされる。 なされる場合、様式PCT/ISA/220を送付した日から期限が経過するまでに、出願人は国際予備審査機関に、適当			
さらなる選択肢は、様式PCT/ISA/220を参照すること。 3. さらなる詳細は、様式PCT/ISA/220の備考を参照すること。				
TO THE TENTE OF CO				
見解書を作成した日 05.01.2005				
名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915	特許庁審査官(権限のある職員) 丹治 彰			

電話番号 03-3581-1101 内線

· 様式PCT/ISA/237 (表紙) (2004年1月)

東京都千代田区霞が関三丁目4番3号

第1欄 見解の基礎	
1. この見解審は、	下記に示す場合を除くほか、国際出願の官語を基礎として作成された。
この見解書は それは国際調	、 語による翻訳文を基礎として作成した。 査のために提出されたPCT規則12.3及び23.1(b)にいう翻訳文の言語である。
2. この国際出願で限 以下に基づき見解	射示されかつ請求の範囲に係る発明に不可欠なヌクレオチド又はアミノ酸配列に関して、 解審を作成した。
a. タイプ	配列表
:	配列表に関連するテーブル
b. フォーマット	富 面
	□ コンピュータ読み取り可能な形式
c. 提出時期	出願時の国際出願に含まれる
	この国際出願と共にコンピュータ読み取り可能な形式により提出された
	出願後に、調査のために、この国際調査機関に提出された
3. 25に、配列 た配列が出願 あった。	表又は配列表に関連するテーブルを提出した場合に、出願後に提出した配列若しくは追加して提出し 時に提出した配列と同一である旨、又は、出願時の開示を超える事項を含まない旨の陳述書の提出が
4. 補足意見:	•
	·
	·
·	•
• .	• •
	·

1. 見解			
新規性(N)	請求の範囲	1 – 5	
進歩性(IS)	請求の範囲	1-5	
産業上の利用可能性 (IA)	請求の範囲 請求の範囲	1-5	

2. 文献及び説明

国際調査報告で引用した

文献1:JP 7-085961 A (株式会社日立製作所),1995.03.31, 段落【0007】~【0031】, 図1~図11, & US 5469390 A

文献2: JP 2002-025292 A (株式会社日立製作所),2002.01.25, 段落【0023】~【0034】,【0056】~【0073】,図1~図4,図11~図18, & US 2002/0024062 A1

文献3: JP 2003-163326 A (太陽誘電株式会社),2003.06.06, 段落【0022】~【0028】, 【0046】~【0057】, 図1~図14 (ファミリーなし)

【請求の範囲1~5】

請求の範囲1~5に記載された発明は、国際調査報告で引用された文献1、2、3により進 歩性を有しない。

(請求の範囲1)

文献1に記載された「冗長共通回路10」は、請求の範囲1に記載された「割当手段」に相当する。

また、文献1に記載された「半導体メモリ装置2」は、「正規メモリブロック36と予備メモリブロック37とを有し、欠陥を有する正規メモリブロック36の欠陥を予備メモリブロック37に置き換える」ものであるから、文献1には請求の範囲1に記載された「メインメモリ手段の欠陥に対応するメモリ空間をメインメモリ手段から切離して動作させないようにするメモリ空間切離手段」に相当する構成が、当然に備えられていると認められる。

文献1には、請求の範囲1に記載された「メインメモリセルに対応する認識番号を記憶する 認識番号記憶手段」、「認識番号を含む救済命令が入力される救済命令入力手段」、及び、

「認識番号」の一致/不一致に応じて、自己のメモリ装置のメインメモリ手段/他のメモリ装置のメインメモリ手段のいずれかを冗長メモリ手段に置き換えることについては、具体的に記載されていない。

しかしながら、文献2には、「認識番号」に相当する「識別コード」を用いて欠陥のあるメモ

補充欄

いずれかの欄の大きさが足りない場合

第 V 欄の続き

リを冗長メモリに置き換えることが記載されているから、文献1の「外部アドレスとプログラムされた欠陥アドレスとの一致比較結果をもとに生成されたフラグビット82a,82bの値によって、自己救済するか、相手救済するかを判断する」のに代えて、請求の範囲1のように「認識番号の一致/不一致に応じて、自己のメモリ装置のメインメモリ手段/他のメモリ装置のメインメモリ手段のいずれかを冗長メモリ手段に置き換える」ことは当業者であれば、容易に想到し得ることである。

(請求の範囲2)

文献1に記載された「自己テスト修正回路64」、「プログラム/比較部16」は、それぞれ、請求の範囲2に記載された「自己診断手段」、「欠陥位置記憶手段」及び「救済情報記憶手段」に相当する。

また、文献1に記載された「第1の半導体メモリに欠陥線があり、予備線が不足している場合は第2の半導体メモリの特定の予備線がアクセスされる」という構成は、請求の範囲2に記載された「自己の冗長メモリ手段による自己のメインメモリ手段の救済が不可能な場合、電気的に接続される他のメモリ装置に対して、自己のメインメモリ手段の救済を要求する冗長救済要求手段とをさらに含む」構成に相当する。

(請求の範囲3、4)

文献1に記載された「外部端子18」、「共通冗長回路10」は、それぞれ、請求の範囲3、 4に記載された「冗長救済受信手段」、「割当手段」に相当する。

(請求の範囲5)

)

文献3には「貫通電極を備え、メモリ冗長回路を有する半導体メモリチップを積み重ねた半導体チップ」の構成が記載されており、文献2の「半導体メモリチップ」を文献1の「メモリモジュール100」に代えて、請求の範囲5に記載された「メモリ装置は、他のメモリ装置と厚み方向に積層されて配置され、各メモリ装置の冗長救済要求手段と冗長救済受信手段とは、各メモリ装置を厚み方向に貫通して設けられる電極に電気的に共通に接続される」という構成にすることは、当業者であれば容易に想到し得ることである。